

?S PN=JP 11045955
S1 1 PN=JP 11045955
?T S1/5

1/5/1
DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.

012395107 **Image available**
WPI Acc No: 1999-201214/199917
XRPX Acc No: N99-149041

Electronic component built-in multilayer wiring board for semiconductor device package - has clearance formed inside insulated substrate; on which electronic components are mounted

Patent Assignee: KYOCERA CORP (KYOC)
Number of Countries: 001 Number of Patents: 002
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11045955	A	19990216	JP 97201653	A	19970728	199917 B
JP 3051700	B2	20000612	JP 97201653	A	19970728	200032

Priority Applications (No Type Date): JP 97201653 A 19970728

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11045955	A	6	H01L-023/12	
JP 3051700	B2	5	H01L-023/12	Previous Publ. patent JP 11045955

Abstract (Basic): JP 11045955 A

NOVELTY - Insulating layers (1,7,8) containing thermosetting resin, are laminated on a substrate (13). Wiring layers (4,9,10) are formed on inner side of substrate and electrically connected using via hole conductors (2,11,12). A clearance (3) is formed on the substrate in which electronic components are mounted. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for multilayer wiring board manufacturing method.

USE - For semiconductor device package in portable information terminal, computer.

ADVANTAGE - Multiple function wiring board with high package density is manufactured. DESCRIPTION OF DRAWING(S) - The drawing shows the manufacturing method of multilayer wiring board with element built-in. (1,7,8) Insulating layers; (2,11,12) Hole conductors; (3) Clearance; (4,9,10) Wiring layers.

Dwg. 1/3

Title Terms: ELECTRONIC; COMPONENT; BUILD; MULTILAYER; WIRE; BOARD;
SEMICONDUCTOR; DEVICE; PACKAGE; CLEARANCE; FORMING; INSULATE; SUBSTRATE;
ELECTRONIC; COMPONENT; MOUNT.

Derwent Class: U11; V04

International Patent Class (Main): H01L-023/12

International Patent Class (Additional): H05K-003/46

File Segment: EPI

10/024581
#4

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平11-45955

(43)公開日 平成11年(1999)2月16日

(51)Int.Cl.⁶

識別記号

FI

H01L 23/12

H01L 23/12

N

H05K 3/46

H05K 3/46

Q

N

G

審査請求 有 請求項の数 6 OL (全 6 頁)

(21)出願番号 特願平9-201653

(22)出願日 平成9年(1997)7月28日

(71)出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽殿町6番地

(72)発明者 林 桂

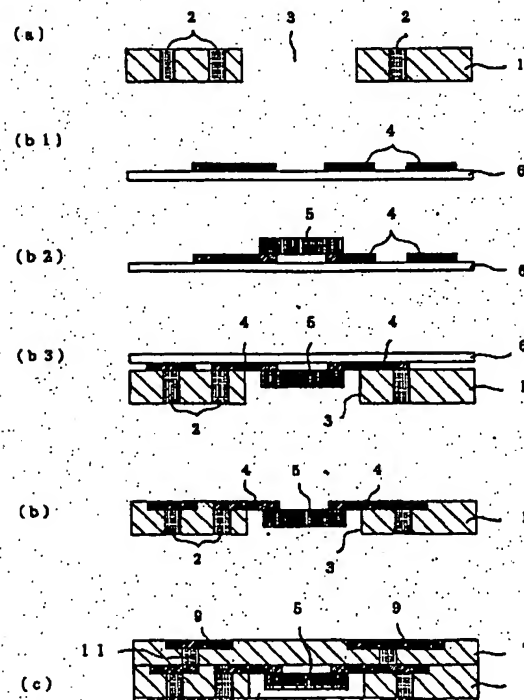
鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(54)【発明の名称】 素子内蔵多層配線基板およびその製造方法

(57)【要約】

【課題】基板の小型化と、素子の実装密度を高めることのできる多層配線基板とその製造方法を提供する。

【解決手段】少なくとも熱硬化性樹脂を含む複数の絶縁層1、7、8を積層してなる絶縁基板13と、絶縁基板13の表面および内部に形成された配線回路層4、9、10と、配線回路層4、9、10間を電気的に接続するためのビアホール導体2、11、12を具備する多層配線基板において、絶縁基板13内部に、空隙部3を形成するとともに、空隙部3内に半導体素子またはコンデンサ、抵抗素子等の電子部品などの電気素子5を実装収納してなることを特徴とし、さらには、空隙部を、配線基板の積層方向に複数設けたことを特徴とする。



【特許請求の範囲】

【請求項1】少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板と、該絶縁基板の表面および内部に形成された配線回路層と、前記配線回路層間を電気的に接続するためのビアホール導体を具備する多層配線基板において、前記絶縁基板内部に、空隙部を形成するとともに、該空隙部内に電気素子を実装収納してなることを特徴とする素子内蔵多層配線基板。

【請求項2】前記空隙部内にて、前記電気素子を金属箔からなる配線回路層に半田実装してなることを特徴とする請求項1記載の素子内蔵多層配線基板。

【請求項3】前記電気素子が、半導体素子または電子部品であることを特徴とする請求項1記載の素子内蔵多層配線基板。

【請求項4】前記ビアホール導体を金属粉末の充填によって形成したことを特徴とする請求項1記載の素子内蔵多層配線基板。

【請求項5】前記空隙部を、配線基板の積層方向に複数設けたことを特徴とする素子内蔵多層配線基板。

【請求項6】転写シートの表面に形成された配線回路層に電気素子を実装する実装工程と、少なくとも熱硬化性樹脂からなる第1の絶縁層にキャビティを形成するキャビティ形成工程と、前記第1の絶縁層の前記キャビティ内に前記電気素子が収納されるように、前記転写シートから前記配線回路層と前記電気素子を前記第1の絶縁層に転写する転写工程と、転写工程後の前記第1の絶縁層の上下面に、少なくとも熱硬化性樹脂を含み、少なくとも配線回路層が形成された第2および第3の絶縁層を積層圧着する積層工程、とを具備することを特徴とする素子内蔵多層配線基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、多層配線基板及び半導体素子収納用パッケージなどに適し、特に絶縁基板内部に電気素子が内蔵されてなる多層配線基板とその製造方法に関するものである。

【0002】

【従来技術】従来より、電子機器は小型化が進んでいるが、近年携帯情報端末の発達や、コンピューターを持ち運んで操作する、いわゆるモバイルコンピューティングの普及によってさらに小型、薄型且つ高精細の多層配線基板が求められる傾向にある。

【0003】従来のプリント配線基板では、プリプレグと呼ばれる有機樹脂を含む平板の表面に銅箔を接着した後、これをエッチングして微細な回路を形成し、これを積層した後、所望位置にマイクロドリルでスルーホールの穴明けを行い、そのホール内壁にメッキ法により金属を付着させてスルーホール導体を形成して各層間の電気的接続を確保している。

体は配線基板全体にわたり貫通したものであるために、積層数が増加するに伴い、スルーホール数が増加すると、配線に必要なスペースが確保できなくなるという問題が生じ、電子機器の軽量、小型化に伴うプリント基板の薄層化、小型化、軽量化に対しては、対応できないのが現状である。

【0005】そこで、最近では、絶縁層に対して形成したビアホール内に金属粉末を充填してビアホール導体を形成した後、他の絶縁層を積層して多層化した配線基板が提案されている。

【0006】また、従来のプリント配線基板に対して、半導体素子やコンデンサ素子、抵抗素子などを実装する場合には、配線基板の表面に形成された配線回路層に対してこれらの電気素子を半田等により実装し、実装した素子を樹脂によってモールドする方法、絶縁基板の表面に凹部を形成して、その凹部内に素子を収納して樹脂モールドしたり、蓋体によって凹部を気密に封止する方法がある。

【0007】

【発明が解決しようとする課題】しかしながら、ビアホール導体を金属粉末の充填によって形成する方法は、ビアホール導体の小径化が可能であるとともに、任意の位置に配設できる点で配線基板の小型化に対しては有効であるが、配線基板をより多層化したとしても、その配線基板に搭載する素子は、配線基板の表面にしか実装することができないために、配線基板の小型化には自ずと限界があった。

【0008】従って、本発明は、半導体素子や電子部品（コンデンサ素子、抵抗素子、フィルター素子、発振素子など）の電気素子を搭載する多層配線基板において、基板の小型化と、素子の実装密度を高めることのできる多層配線基板を提供することを目的とするものである。さらに、本発明は、基板の内部に素子を内蔵することのできる多層配線基板を容易に作製することのできる多層配線基板の製造方法を提供することを目的とするものである。

【0009】

【課題を解決するための手段】本発明者は、電気素子を搭載した配線基板の小型化について検討を重ねた結果、配線基板内に、電気素子を実装収納するための空隙部を形成することにより、配線基板のより多くの電気素子を搭載した小型の配線基板を提供できること、さらには、配線基板を作製するにあたり、金属箔からなる配線回路層を転写シートからの転写によって形成する際に、転写シート上のする銅箔に予め電気素子を半田などで接続した後に、空隙部を形成した絶縁層に転写することで、絶縁層に何ら影響を及ぼすことなく、素子を内蔵した配線基板を作製できることを見だし、本発明に至った。

【0010】即ち、本発明の多層配線基板は、電気素子

複数の絶縁層を積層してなる絶縁基板と、該絶縁基板の表面および内部に形成された配線回路層と、前記配線回路層間を電氣的に接続するためのビアホール導体を具備する多層配線基板において、前記絶縁基板内部に、空隙部を形成するとともに、該空隙部内に電気素子を実装収納してなることを特徴とするものである。

【0011】また、前記空隙部内にて、前記電気素子を金属箔からなる配線回路層に半田実装してなること、前記電気素子が、半導体素子または電子部品であること、前記配線回路層を金属箔により形成し、前記ビアホール導体を金属粉末の充填によって形成したこと、さらには、前記空隙部を、配線基板の積層方向に複数設けたことを特徴とするものである。

【0012】また、かかる配線基板の製造方法としては、転写シートの表面に形成された配線回路層に電気素子を実装する実装工程と、少なくとも熱硬化性樹脂からなる第1の絶縁層にキャビティを形成するキャビティ形成工程と、前記第1の絶縁層の前記キャビティ内に前記電気素子が収納されるように、前記転写シートから前記配線回路層と前記電気素子を前記第1の絶縁層に転写する転写工程と、転写工程後の前記第1の絶縁層の上下面に、少なくとも熱硬化性樹脂を含む第2および第3の絶縁層を積層圧着する積層工程、とを具備することを特徴とするものである。

【0013】

【発明の実施の形態】以下、本発明を図面をもとに説明する。図1は、本発明の素子内蔵多層配線基板を製造するための第1の製造工程を説明するための図である。

【0014】図1によれば、まず、図1(a)に示すように、熱硬化性樹脂を含む軟質（Bステージ状態）の第1の絶縁シート1を作製する。また、この絶縁シート1には、所望により厚み方向に貫通するスルーホールを形成し、そのスルーホール内に金属粉末を含む導体ペーストをスクリーン印刷や吸引処理しながら充填して、ビアホール導体2を形成する。また、この絶縁シート1の所定箇所に電気素子を収納するための空隙部3を形成する。

【0015】次に、図1(b)に示すように、絶縁シート1の表面に配線回路層4を形成するとともに、絶縁シート1の空隙部に電気素子5を実装収納する。配線回路層4は、1) 絶縁シート1の表面に金属箔を貼り付けた後、エッチング処理して回路パターンを形成する方法、2) 絶縁シート1表面にレジストを形成して、メッキにより形成する方法、3) 転写フィルム表面に金属箔を貼り付け、金属箔をエッチング処理して回路パターンを形成した後、この金属箔からなる回路パターンを絶縁シート1表面に転写させる方法等が挙げられる。

【0016】本第1の製造方法においては、配線回路層4は、配線回路図面に電気素子5を実装した構造物を転

な方法を図1(b1)～(b3)に示す。この方法によれば、例えば、樹脂や金属からなる転写フィルム6の表面に金属箔を接着した後、エッチングして配線回路層4を形成する(図1(b1))。その後、その配線回路層4に、電気素子5を半田、TAB、ワイヤーボンディングにより実装する(図1(b2))。

【0017】その後、電気素子5が実装された転写フィルム6を絶縁シート1に対して、電気素子5が絶縁シート1の空隙部3に収納されるように積層して圧着した後、転写フィルム6を剥がして(図1(b3))、配線回路層4と電気素子5とを絶縁シート1に転写させて、図1(b)に示すような電気素子5が空隙部3に実装収納された単層の配線層を形成することができる。この時、絶縁シート1は、未硬化または半硬化状態であり軟質であることから、配線回路層4を圧着することにより、絶縁シート1の表面に埋め込むことができるとともに、絶縁シート1に形成されたビアホール導体2を緻密化することができる。

【0018】また、上記の例では、基本的には、電気素子5を実装する配線回路層4は、電気素子5とともに、同時に転写させるものであるが、電気素子5の実装に関与しない配線回路層(図示せず)は、電気素子5と配線回路層4とともに同時するか、または個別に前述した1)～3)のいずれの方法で形成してもよい。

【0019】また、空隙部3内に収納された電気素子5は、配線回路層4に実装された状態でエポキシ樹脂等により封止してもよい。

【0020】次に、上記のように空隙部3内に電気素子5が実装収納された絶縁シート1の上下面に、軟化状態（Bステージ状態）の第2および第3の絶縁シート7、8を積層圧着して、絶縁シート1、7、8中の熱硬化性樹脂が硬化するに十分な温度に加熱して一括して完全硬化させる。なお、絶縁シート7、8には、配線回路層9、10やビアホール導体11、12を前述した方法により適宜形成してもよい。このようにして、図1(c)に示すように、絶縁基板13内に電気素子5を内蔵する多層配線基板を形成することができる。

【0021】次に、本発明の第2の製造方法によれば、図2(a)に示すように、熱硬化性樹脂を含有する絶縁シート20に、適宜ビアホールを形成してそのホール内に金属粉末を含有する導体ペーストを充填してビアホール導体21を形成し、さらにその表面又は裏面に配線回路層22を形成する。配線回路層22の形成は、前述した1)～3)のいずれの方法でもよい。

【0022】次に、図2(b)に示すように、配線回路層22の表面に、電気素子23を半田、フリップチップ、ワイヤーボンディングなどの方法で実装する。

【0023】その後、図2(c)に示すように、電気素子23が実装された絶縁シート20の表面に、空隙部2

【0030】なお、絶縁シートを形成する熱硬化性樹脂としては、絶縁材料としての電気的特性、耐熱性、および機械的強度を有する熱硬化性樹脂であれば特に限定されるものでなく、例えば、アラミド樹脂、フェノール樹脂、エポキシ樹脂、イミド樹脂、フッ素樹脂、フェニレンエーテル樹脂、ビスマイレイドトリアジン樹脂、ユリア樹脂、メラミン樹脂、シリコーン樹脂、ウレタン樹脂、アクリル樹脂、ポリビニル樹脂、ポリイミド樹脂等が、当技術

【0036】配線回路層としては、銅、アルミニウム、金、銀の群から選ばれる少なくとも1種、または2種以上の合金からなることが望ましく、特に、銅、または銅を含む合金が望ましい、また、場合により、導

实施例 1

【0042】(4)そして、(1)で作製したプリプレ

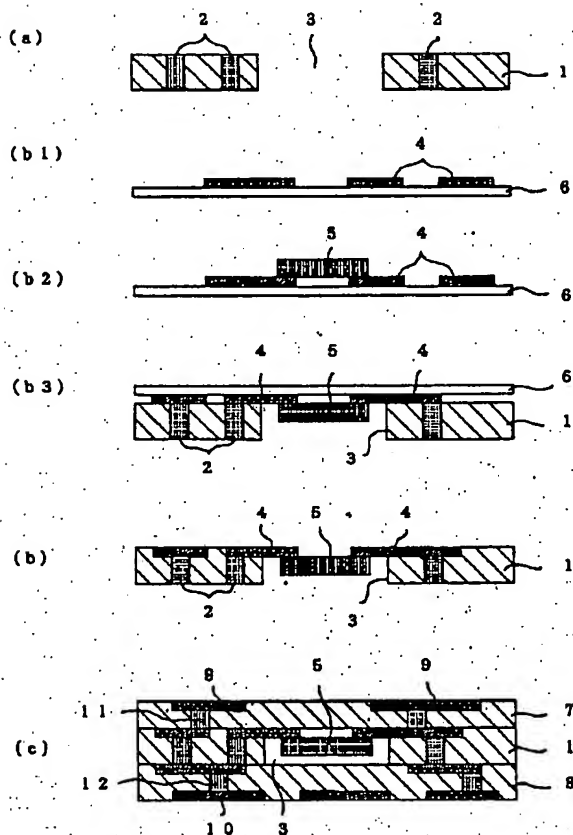
【0051】但これを甘塩に替けて 但これを各層に給

体の形成付近を観察した結果、コンデンサ素子と配線回路層、ビアホール導体と配線回路層とは良好な接続状態であり、各配線間の導通テストを行った結果、配線の断線も認められなかった。また、コンデンサ素子においても何ら問題なく、所定の容量を得ることができた。得られた多層配線基板を湿度85%、温度85℃の高温多湿雰囲気中に100時間放置したが、目視で判別できる程度の変化は生じていなかった。

【0052】

【発明の効果】以上詳述したとおり、本発明によれば、電気素子を絶縁基板の内部に形成した空隙部に実装収納することにより、転写フィルム上の銅箔から形成した配線回路層に対して半導体素子や各種電子部品等の電気素子を実装した後、空隙部を形成した絶縁層の表面に転写して、電気素子を空隙部に収納することにより、電気素子を絶縁基板内に内蔵させることができ、これにより多層配線基板に積層一体化することにより高密度、高精

【図1】



細、且つ多機能の配線基板を容易に形成できる。

【図面の簡単な説明】

【図1】本発明の素子内蔵多層配線基板の製造方法の一実施例を説明するための工程図である。

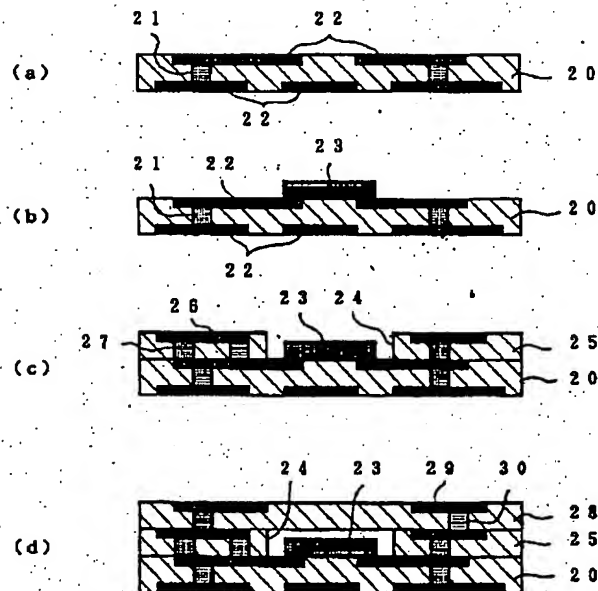
【図2】本発明の素子内蔵多層配線基板の製造方法の他の実施例を説明するための工程図である。

【図3】本発明の素子内蔵多層配線基板において、電気素子を内蔵した空隙部を複数形成した多層配線基板を説明するための概略断面図である。

【符号の説明】

- 1, 7, 8, 20, 25, 28 絶縁シート
- 2, 11, 12, 21, 27, 30 ビアホール導体
- 3, 24, 35, 36, 37 空隙部
- 4, 9, 10, 22, 26, 29 配線回路層
- 5, 23, 33, 34, 37, 38 電気素子
- 6 転写フィルム
- 13, 31, 32 絶縁基板

【図2】



【図3】

